

「先進製程晶背供電技術：TSMC (Super Power Rail) vs. Intel (Power Via)」

TSMC 將在 2026 的下半年推出 A16 節點，會和 Intel 18A-P 在類似的時間點 (但 Intel 有可能放棄或延後)。其中，TSMC A16 最主要會增加的技術，就是 Super Power Rail (SPR)。

Super Power Rail 算是 Backside Power Distribution (晶背供電技術) 的其中一類製程。不過，它有什麼特別之處呢？

另外，它和 Intel 的 Power Via 製程，有什麼不同呢？

今天就來聊一下接下來晶背供電技術的可能發展，以及 TSMC 和 Intel 晶背供電技術的比較。

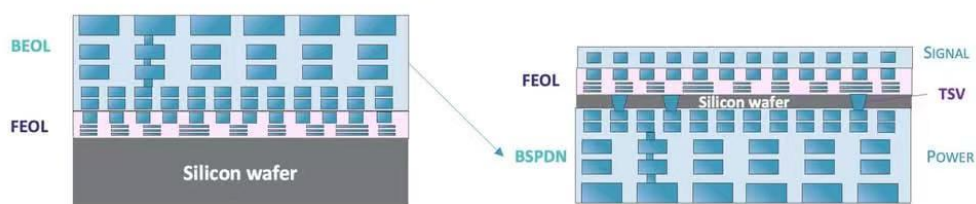
■ Backside Power Distribution 的製程做法

Backside Power Distribution，顧名思義，就是將原本在晶圓正面的供電線路，移到晶圓背後去。

由於將供電直接移到晶圓的背後，直通電晶體，不需要像在晶圓正面一樣通過層層線路，因此，對於降低晶片能耗有很大的幫助。

Backside Power Delivery Networks (BSPDN)

Power lines on Backside of thinned Si wafer



Decongestion of the FrontSide:

1. BS-PDN reduces on-chip IR drop by an order of magnitude
2. BS-PDN scales chip area (depending on the process and on the EDA tools)
3. BS-PDN reduces the complexity of the BEOL
4. BS-PDN makes it easier to do wafer-on-wafer bonding to stack memory on logic

為了讓後面 TSMC 和 Intel 的製程比較講解比較方便，我們稍微先解釋一下 Backside Power Distribution 的製程做法。

Backside Power Distribution 的製程其實有好幾種做法：

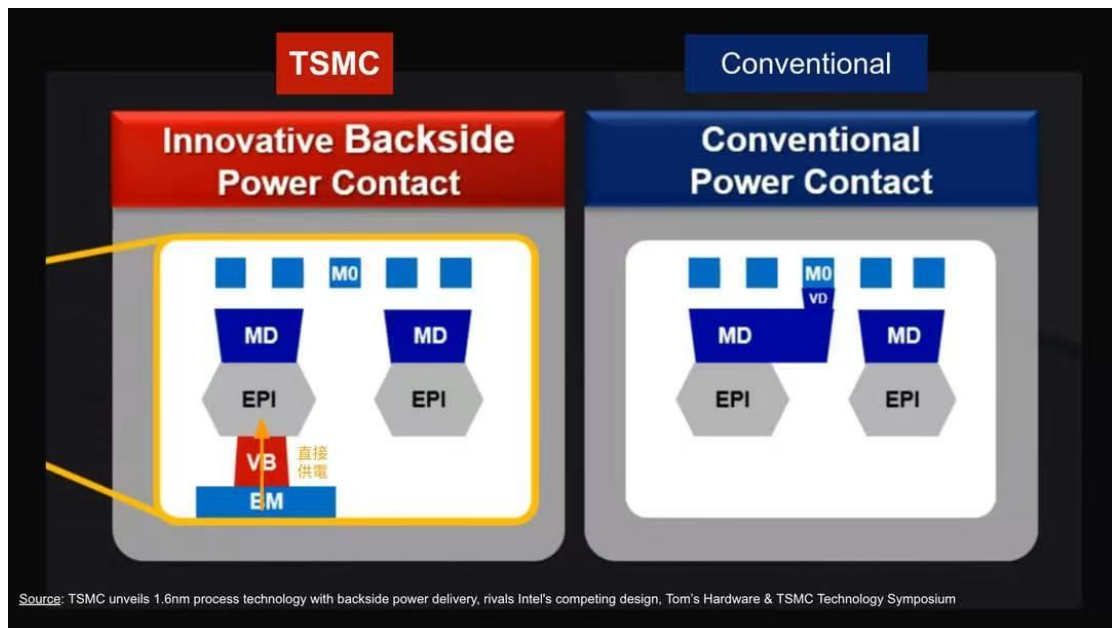
- A. 透過正面的 Metal 層通電：從晶圓背後供電，但仍然會通過晶圓正面的前幾層金屬導線，再通電到電晶體：好處是製程較簡單，但幫助電晶體密度提升較小。
- B. 電晶體側面供電：從晶圓背後供電，但從電晶體側面直接通電，不經過晶圓正面導線：較 A. 能夠提升更多電晶體密度，但製程稍微複雜一點。
- C. 晶背直通電晶體供電：從晶圓背後供電，直接通到電晶體：三種做法中能夠最大的提升電晶體密度，但製程也是最複雜的。

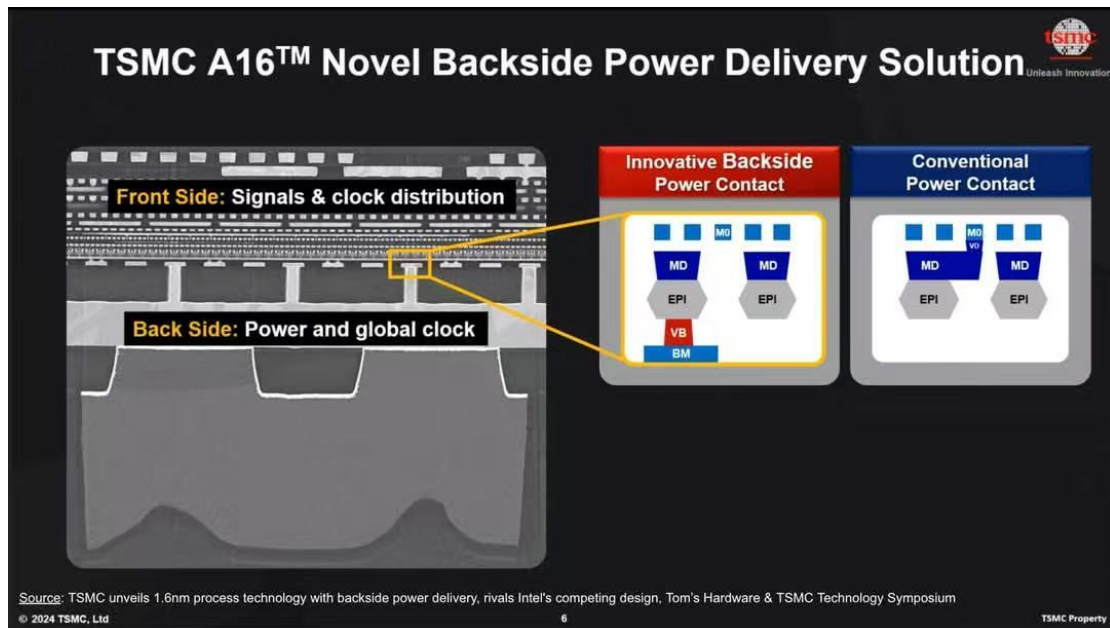
■ TSMC 的 Super Power Rail (SPR)

TSMC 在 2024/7/18 的法說會對於他們的 Super Power Rail 是這麼形容的：

“TSMC's SPR is innovative, best-in-class backside power delivery solution that is the first in the industry to incorporate a novel backside contact scheme to preserve gate density and device with flexibility.”

因此，我們由 TSMC 公開出來的資料和 Technology Symposium 對 SPR 的圖示可以判斷，TSMC 的 Super Power Rail 很有可能是直接採取 C. 的做法 (晶背直通電晶體供電)。





晶背直通電晶體的做法可以最大程度的提升性能和電晶體密度，製程也是最複雜的。因此，採取這種製程相對於其他方式來說，風險會較高一點。

Intel 的 PowerVia

Intel 在 2023 年的幾個 event 都已經有分享他們對 Backside Power Distribution (Intel 稱作 PowerVia) 的做法和時程。

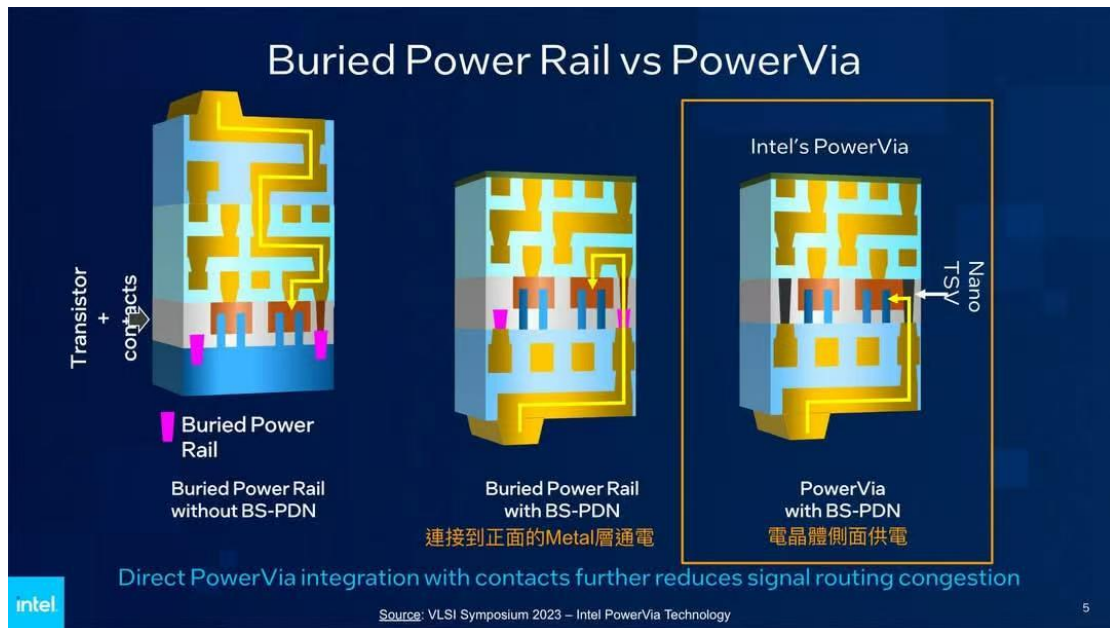
相對於 TSMC，Intel 選擇在 2025 年的 20A 就放上 PowerVia。

而且，為了避免 20A 上同時有兩個不同的新科技 RibbonFET (也就是 GAA)、PowerVia 讓整個製程的 Debug 變得太困難，Intel 選擇在 Intel 4 上面就去測試 PowerVia 製程。

在 Intel 4 上面去測試 PowerVia 的好處是 Intel 可以拆開新技術發展的複雜度，各個擊破。

不過，也是因為這樣的關係，Intel 的 PowerVia 合理的選擇了稍微較不複雜的電晶體側面供電的方式 (前面的 B. 方案)。

B 方案 (電晶體側面供電) 的好處是它提供了不錯的性能改善，而且製程不會那麼複雜，且有機會搶在 TSMC 之前提供這樣的方案。



不過，如果 2026 H2 台積電推出性能更好的 Super Power Rail 時，Intel 的短暫優勢可能就會消失。

(但以 Intel 目前的製造能力，要有優勢其實很難。)

■ 半導體先進製程接下來的發展

因此，我們會發現，先進製程的發展在 2nm 以後，為了解決微縮會有的漏電流問題，所有半導體廠都導入了新的架構，如 Nanosheet。

另外，為了解決晶圓正面供電 (傳統的方式) 造成的過高能耗和發熱，大家也都選擇在類似的節點導入 Backside Power Distribution 晶背供電技術。

不過，由於量產最後看的還是製程最後的性能與良率，因此，最終的決勝點還是在哪家半導體廠能在製程複雜度、良率、性能和成本之前，達到最好的平衡。

而 Nanosheet 和 Backside Power Distribution 的製程，也會再被持續的優化幾代，然後再往下一個製程架構邁進。

前面我們分析了 TSMC 和 Intel 在晶背供電技術上面的 Roadmap 和技術比較。

大家可能會發現，要做這種比較之前，其實是需要對先進製程有很好的熟悉度，才能根據 TSMC 和 Intel 所提供的文件，去觀察一些在製程上的細微差異，並由此對於他們的製程技術、Roadmap 和策略決定有更好的了解。

相關技術鏈接：

1. 涉及模擬非均勻功率分佈下 BSPDN 的熱影響，對比 FSPDN（正面供電），提供 SiP（系統級封裝）優化建議，熱管理是 BSPDN 的關鍵痛點。

鏈接：<https://www.imec-int.com/en/articles/path-high-density-front-and-backside-wafer-connectivity>

2. 介紹高密度 BSPDN 的實現路徑，強調背面供電如何提升主動裝置密度，包含實驗數據與未來應用於 3D 堆疊的潛力。

鏈接：<https://www.imec-int.com/en/articles/path-high-density-front-and-backside-wafer-connectivity>

3. 由 UST Insights 發表。聚焦 2025 年物理設計轉型，BSPDN 如何重塑功率完整性與路由策略，包含異質整合案例，適合設計工程師參考。

連結：<https://www.ust.com/en/insights/physical-design-in-2025-advanced-node-transitions-and-new-methodologies>